



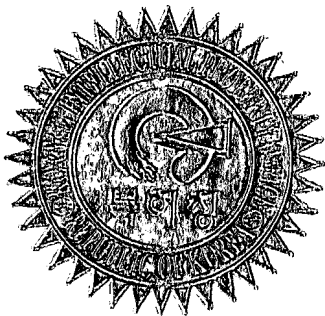
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0025085  
Application Number

출원년월일 : 2003년 04월 21일  
Date of Application APR 21, 2003

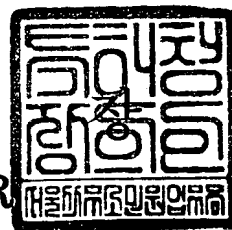
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      08      월      28      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2003.04.21
【국제특허분류】	H01L
【발명의 명칭】	동시 양방향 입출력 회로 및 방법
【발명의 영문명칭】	Simultaneous Bi-Directional Input output circuit and method
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	김우섭
【성명의 영문표기】	KIM, Woo Seop
【주민등록번호】	641019-1055510
【우편번호】	150-041
【주소】	서울특별시 영등포구 당산동1가 448번지 15/6
【국적】	KR
【우선권주장】	
【출원국명】	KR
【출원종류】	특허
【출원번호】	10-2002-0087887
【출원일자】	2002.12.31
【증명서류】	첨부

1020030025085

출력 일자: 2003/9/2

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

8 면 8,000 원

【우선권주장료】

1 건 26,000 원

【심사청구료】

18 항 685,000 원

【합계】

748,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통 2. 우선권증명서류 및  
동 번역문\_1통

**【요약서】****【요약】**

입력 수신기의 노이즈 마진을 향상시키고 또한 출력 드라이버의 입력 커패시턴스를 줄여 동작속도를 향상시킬 수 있는 반도체장치의 동시 양방향(SBD) 입출력 회로 및 방법이 개시된다. 상기 동시 양방향(SBD) 입출력 회로는, 반도체장치 내부의 출력신호를 버퍼링하여 입출력핀을 통해 외부로 출력하는 출력 드라이버, 및 상기 출력신호의 스윙레벨(swing level)의 중간레벨로 고정되는 제1기준신호와 상기 출력신호에 따라서 상기 출력신호의 하이레벨 또는 로우레벨로 변화하는 제2기준신호를 기준으로 하여, 외부에서 상기 입출력핀을 통해 입력되는 입력신호를 판단하는 입력 수신기를 구비하는 것을 특징으로 한다. 상기 입력 수신기는 2개의 비교기를 갖는 구조이며 상기 제1기준신호와 상기 입력신호를 비교하거나 또는 상기 제2기준신호와 상기 입력신호를 비교하여 상기 입력신호의 레벨을 판단한다. 상기 출력 드라이버는 입력 커패시턴스를 줄이기 위해 오픈 드레인 방식(open drain type) 출력 드라이버로 구성된다.

**【대표도】**

도 3

【명세서】

【발명의 명칭】

동시 양방향 입출력 회로 및 방법{Simultaneous Bi-Directional Input output circuit and method}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 SBD 입출력 회로를 나타내는 도면이다.

도 2는 도 1에 도시된 종래의 SBD 입출력 회로의 동작을 나타내는 도면이다

도 3은 본 발명의 일실시예에 따른 동시 양방향(SBD) 입출력 회로를 나타내는 도면이다.

도 4는 도 3에 도시된 기준신호들을 나타내는 도면이다.

도 5는 도 3에 도시된 입력 수신기의 상세 회로도이다.

도 6은 도 3에 도시된 기준신호 발생기의 상세 회로도이다.

도 7은 도 3에 도시된 출력 드라이버의 상세 회로도이다.

도 8은 도 3에 도시된 본 발명에 따른 동시 양방향(SBD) 입출력 회로를 시뮬레이션한 결과이다.

도 9는 PVT(Process, Voltage, Temperature) 변화에 따른 도 3에 도시된 입력 수신기의 지연시간의 변화를 나타내는 도면이다.

도 10은 입력신호(DIN)의 스윙레벨의 변화에 따른 입력 수신기의 지연시간의 변화를 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체장치에 관한 것으로, 특히 메모리장치에 적합한 동시 양방향(Simultaneous Bi-Directional, SBD) 입출력 회로 및 입출력 방식에 관한 것이다.

<13> 메모리장치의 낮은 대역폭(bandwidth)과 느린 레이턴시(latency)는 시스템 성능의 병목(bottleneck)이 된다. 이를 개선하기 위해서 동시 양방향(SBD) 전송 방식에 기반을 둔 입출력 회로(이하 SBD 입출력 회로라 함)가 메모리장치의 인터페이스로 사용될 예정이다.

<14> 도 1은 종래의 SBD 입출력 회로를 나타내는 도면이고 도 2는 도 1에 도시된 종래의 SBD 입출력 회로의 동작을 나타내는 도면이다. 여기에서 참조번호 300은 전송라인(통상 채널이라 불림)을 나타내고 참조번호 100은 상기 채널의 한쪽에 연결되는 반도체장치를 나타내며 참조번호 200은 상기 채널의 다른 한쪽에 연결되는 다른 반도체장치를 나타낸다.

<15> SBD 전송방식에서는 반도체장치(100) 내부의 출력신호(DOUT1)는 출력 드라이버(111) 및 입출력핀(114)을 통해 채널(300)로 전송되고 이와 동시에 다른 반

도체장치(200) 내부의 출력신호(DOUT2)는 출력 드라이버(211) 및 입출력핀(214)를 통해 채널(300)로 전송된다.

<16> 도 1을 참조하면, 종래의 SBD 입출력 회로에서는 예컨대 전송라인(300)에 연결되는 반도체장치(100) 내의 선택기(113)가 출력신호(DOUT1)에 응답하여 두 개의 기준전압, 즉 VREFH와 VREFL중 하나를 선택하고 입력 수신기(112)가 이 선택된 것과 입출력핀(114)을 통해 입력되는 입력신호를 비교함으로써 상기 입력신호의 레벨을 판단한다. VREFH는  $0.75V_{SWING}$ 에 해당하는 전압이고 VREFL는  $0.25V_{SWING}$ 에 해당하는 전압이다.  $V_{SWING}$ 은 출력신호(DOUT1, DOUT2)의 하이(high) 레벨(VIH)과 로우(low) 레벨(VIL) 사이의 스윙(swing) 전압을 나타낸다.

<17> 구체적으로 설명하면 SBD 전송방식의 동작은 네가지로 구분된다. 즉 반도체장치(100)로부터 출력되는 출력신호(DOUT1)가 하이 레벨(VIH) 또는 로우(low) 레벨(VIL)이고 반도체장치(100)로 입력되는 입력신호, 즉 반도체장치(200)로부터 출력되는 출력신호(DOUT2)가 하이 레벨(VIH) 또는 로우 레벨(VIL)인 경우로 구분된다.

<18> 먼저 DOUT1이 하이 레벨(VIH)일 때 DOUT2가 하이 레벨(VIH)이면 채널(300)의 상태, 즉 입출력핀(114)의 상태는 하이 레벨(VIH)이 된다. DOUT1이 하이 레벨(VIH)일 때 DOUT2가 로우 레벨(VIL)이면 입출력핀(114)의 상태는 하이 레벨(VIH)과 로우 레벨(VIL)의 중간 레벨(VM)이 된다. 이러한 경우에는 선택기(113)가 VREFH, 즉  $0.75V_{SWING}$ 을 선택하면 입력 수신기(112)는  $0.25V_{SWING}$  만큼의 마진을 갖고서 상기 입력신호의 레벨을 판단할 수 있다.

<19> DOUT1이 로우 레벨(VIL)일 때 DOUT2가 하이 레벨(VIH)이면 입출력핀(114)의 상태는 중간 레벨(VM)이 되고 DOUT1이 로우 레벨(VIL)일 때 DOUT2가 로우 레벨(VIL)이면 입출력핀(114)의 상태는 로우 레벨(VIL)이 된다. 따라서 이러한 경우에는 선택기(113)가 VREFL, 즉 0.25VSWING을 선택하면 입력 수신기(112)는 0.25VSWING 만큼의 마진을 갖고서 상기 입력신호의 레벨을 판단할 수 있다.

<20> 그런데 상술한 종래의 SBD 입출력 회로에서는 출력 드라이버(111,211)가 인버터 형(type)으로서 입력 커패시턴스가 커서 동작속도를 향상시키는데 제약을 가지고 있다. 또한 상기 입력신호를 수신하기 위한 입력 수신기(112,212)의 노이즈 마진이 다소 작다는 단점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<21> 따라서 본 발명이 이루고자하는 기술적 과제는, 입력 수신기의 노이즈 마진을 향상시키고 또한 출력 드라이버의 입력 커패시턴스를 줄여 동작속도를 향상시킬 수 있는 반도체장치의 동시 양방향(SBD) 입출력 회로를 제공하는 데 있다.

<22> 본 발명이 이루고자하는 다른 기술적 과제는, 반도체장치의 동시 양방향(SBD) 입출력 회로에 사용되며 노이즈 마진을 향상시킬 수 있는 입력 수신기를 제공하는 데 있다.

<23> 본 발명이 이루고자하는 또 다른 기술적 과제는, 입력 수신기의 노이즈 마진을 향상시키고 또한 출력 드라이버의 입력 커패시턴스를 줄여 동작속도를 향상시킬 수 있는 반도체장치의 동시 양방향(SBD) 입출력 방식을 제공하는 데 있다.



## 【발명의 구성 및 작용】

- <24>      상기 기술적 과제를 달성하기 위한 본 발명에 따른 동시 양방향(SBD) 입출력 회로는, 반도체장치 내부의 출력신호를 버퍼링하여 입출력핀을 통해 외부로 출력하는 출력 드라이버, 및 상기 출력신호의 스윙레벨(swing level)의 중간레벨로 고정되는 제1기준신호와 상기 출력신호에 따라서 상기 출력신호의 하이레벨 또는 로우레벨로 변화하는 제2기준신호를 기준으로 하여, 외부에서 상기 입출력핀을 통해 입력되는 입력신호를 판단하는 입력 수신기를 구비하는 것을 특징으로 한다.
- <25>      상기 입력 수신기는 상기 제1기준신호와 상기 입력신호를 비교하거나 또는 상기 제2기준신호와 상기 입력신호를 비교하여 상기 입력신호의 레벨을 판단한다. 상기 제1기준신호는 상기 반도체장치의 내부에서 발생되거나 외부에서 발생된다.
- <26>      상기 본 발명에 따른 동시 양방향(SBD) 입출력 회로는 상기 출력신호를 수신하여 상기 출력신호의 하이레벨 또는 로우레벨로 변화하는 상기 제2기준신호를 발생하는 기준신호 발생기를 더 구비한다.
- <27>      상기 입력 수신기는, 상기 제1기준신호와 상기 입력신호를 차동증폭하여 출력신호 및 이의 상보 출력신호를 각각 출력단 및 상보 출력단으로 출력하는 제1차동증폭부, 상기 제2기준신호와 상기 입력신호를 차동증폭하여 출력신호 및 이의 상보 출력신호를 상기 출력단 및 상기 상보 출력단으로 출력하는 제2차동증폭부, 및 상기 출력단 및 상기 상보 출력단에 연결되는 부하부를 구비한다.

- <28>      상기 출력 드라이버는 오픈 드레인 방식(open drain type) 출력 드라이버로 구성된다.
- <29>      상기 다른 기술적 과제를 달성하기 위한 본 발명에 따른 입력 수신기는, 입출력핀을 통해 입력신호를 수신하는 반도체장치의 입력 수신기에 있어서, 제1기준신호와 상기 입력신호를 비교하여 상기 입력신호의 레벨을 판단하는 제1비교부, 및 제2기준신호와 상기 입력신호를 비교하여 상기 입력신호의 레벨을 판단하는 제2비교부를 구비하고, 상기 제1기준신호는 상기 입출력핀을 통해 출력되는 출력신호의 스윙레벨(swing level)의 중간레벨로 고정되는 신호이고, 상기 제2기준신호는 상기 출력신호에 따라서 상기 출력신호의 하이레벨 또는 로우레벨로 변화하는 신호인 것을 특징으로 한다.
- <30>      상기 제1비교부는, 상기 제1기준신호와 상기 입력신호를 차동증폭하여 출력신호 및 이의 상보 출력신호를 각각 출력단 및 상보 출력단으로 출력하는 제1차동증폭부를 구비한다. 상기 제2비교부는, 상기 제2기준신호와 상기 입력신호를 차동증폭하여 출력신호 및 이의 상보 출력신호를 상기 출력단 및 상기 상보 출력단으로 출력하는 제2차동증폭부를 구비한다.
- <31>      상기 또 다른 기술적 과제를 달성하기 위한 본 발명에 따른 동시 양방향(SBD) 입출력 방식은, 반도체장치 내부의 출력신호를 버퍼링하여 그 결과를 입출력핀을 통해 외부로 출력하는 단계, 상기 출력신호의 스윙레벨(swing level)의 중간레벨로 고정되는 제1기준신호를 발생하는 단계, 상기 출력신호의 하이레벨 또는 로우레벨로 변화하는 제2기준신호를 발생하는 단계, 외부에서 상기 입출력핀을 통해 입력신호를 수신하는 단계, 및 상기 제1기준신호와 상기 입력신호를

비교하거나 또는 상기 제2기준신호와 상기 입력신호를 비교하여 상기 입력신호의 레벨을 판단하는 단계를 구비하는 것을 특징으로 한다.

<32> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<33> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<34> 도 3은 본 발명의 일실시예에 따른 동시 양방향(SBD) 입출력 회로를 나타내는 도면이고 도 4는 도 3에 도시된 기준신호들(VREFD, VREFM)을 나타내는 도면이다. 여기에서 참조번호 600 및 700은 채널을 나타내고 참조번호 400은 상기 채널의 한쪽에 연결되는 반도체장치의 입출력 회로를 나타내며 참조번호 500은 상기 채널의 다른 한쪽에 연결되는 다른 반도체장치의 입출력 회로를 나타낸다.

<35> 도 3을 참조하면, 본 발명의 일실시예에 따른 SBD 입출력 회로(400,500)는, 출력 드라이버(411,511), 입력 수신기(412,512), 및 기준신호 발생기(413,513)를 구비한다. SBD 입출력 회로(400,500)는 본 발명에 따른 SBD 입출력 방식에 따라 동작한다.

<36> 출력 드라이버(411,511)는 반도체장치 내부의 출력신호(DOUT1,DOUT2)를 버퍼링하여 입출력핀(414,514)을 통해 외부의 채널(600)로 출력한다. 특히 출력 드

라이버(411,511)는 입력 커패시턴스를 줄이기 위해 오픈 드레인 방식(open drain type) 출력 드라이버로 구성된다.

<37>      입력 수신기(412,512)는 제1기준신호(VREFM) 및 제2기준신호(VREFD)를 기준으로 하여, 입출력핀(414,514)을 통해 입력되는 입력신호(DIN1,DIN2)를 수신하여 그 레벨을 판단한다. 좀더 상세하게는 입력 수신기(412,512)는 제1기준신호(VREFM)와 입력신호(DIN1,DIN2)를 비교하거나 또는 제2기준신호(VREFD)와 입력신호(DIN1,DIN2)를 비교하여 입력신호(DIN1,DIN2)의 레벨을 판단한다.

<38>      제1기준신호(VREFM)는 출력신호(DOUT1,DOUT2)의 스윙레벨(swing level)의 중간레벨로 고정된 신호이며 반도체장치 외부에서 발생되어 채널(700)을 통해 입력되거나 또는 반도체장치 내부에서 발생될 수도 있다. 제2기준신호(VREFD)는 기준신호 발생기(413,513)에 의해 발생된다. 기준신호 발생기(413,513)는 출력신호(DOUT1,DOUT2)에 따라서 출력신호(DOUT1,DOUT2)의 하이레벨 또는 로우레벨로 변화하는 제2기준신호(VREFD)를 발생한다.

<39>      도 5는 도 3에 도시된 입력 수신기(412,512)의 상세 회로도이다.

<40>      도 5를 참조하면, 입력 수신기(412,512)는 제1기준신호(VREFM)와 입력신호(DIN)를 비교하여 입력신호(DIN)의 레벨을 판단하는 제1비교부(51), 제2기준신호(VREFD)와 입력신호(DIN)를 비교하여 입력신호(DIN)의 레벨을 판단하는 제2비교부(53), 및 제1비교부(51)와 제2비교부(53)에 공통 연결되는 부하부(55)를 구비한다.

<41> 제1비교부(51)는, 제1기준신호(VREFM)와 입력신호(DIN)를 차동증폭하여 출력신호 및 이의 상보 출력신호를 각각 출력단(OUT) 및 상보 출력단(OUTB)으로 출력하는 차동증폭 회로로 구성된다. 제2비교부(53)는, 제2기준신호(VREFD)와 입력신호(DIN)를 차동증폭하여 출력신호 및 이의 상보 출력신호를 출력단(OUT) 및 상보 출력단(OUTB)으로 출력하는 차동증폭 회로로 구성된다. 부하부(55)는 저항들로 구성되며 출력단(OUT) 및 상보 출력단(OUTB)에 연결된다.

<42> 좀더 설명하면, 입력 수신기(412,512)는 두개의 기준신호(VREFM,VREFD)를 사용하는 차동증폭기 형태로 구성되어 있다. 입력신호(DIN)의 레벨을 검출하기 위해서 상술한 바와 같이 제1기준신호(VREFM)는 출력신호(DOUT)의 스윙레벨(swing level)의 중간레벨로 고정되고 제2기준신호(VREFD)는 출력신호(DOUT)에 따라서 출력신호(DOUT1,DOUT2)의 하이레벨 또는 로우레벨로 변화된다.

<43> 입력 수신기(412)의 동작을 살펴보면, 먼저 도 3의 회로에서 출력신호(DOUT2)가 로우레벨이고 출력신호(DOUT1)가 하이레벨일 때에는 채널(600), 입출력핀(414), 및 입력신호(DIN)의 상태는 상기 하이레벨과 로우레벨의 중간레벨, 즉 제1기준신호(VREFM)의 레벨과 같아진다. 이때 출력신호(DOUT1)가 하이레벨이므로 제2기준신호(VREFD)는 하이레벨이 된다. 따라서 제1비교부(51)는 양쪽 입력들의 레벨이 같아지므로 동작되지 않으며, 제2비교부(53)의 동작에 의해 출력단(OUT)이 로우레벨이 된다.

<44> 다음에 출력신호(DOUT2)가 하이레벨이고 출력신호(DOUT1)가 하이레벨일 때에는 채널(600), 입출력핀(414), 및 입력신호(DIN)의 상태는 하이레벨이 된다. 이때 출력신호(DOUT1)가 하이레벨이므로 제2기준신호(VREFD)는 하이레벨이 된다.

따라서 제2비교부(53)는 양쪽 입력들의 레벨이 같아 지므로 동작되지 않으며,  
제1비교부(51)의 동작에 의해 출력단(OUT)이 하이레벨이 된다.

<45> 출력신호(DOUT2)가 하이레벨이고 출력신호(DOUT1)가 로우레벨일 때 또는 출력신호(DOUT2)가 로우레벨이고 출력신호(DOUT1)가 로우레벨일 때에도 위와 유사한 동작에 의해 출력단(OUT)의 상태가 결정된다.

<46> 이상에서 볼 수 있듯이 본 발명에 따른 입력 수신기(412,512)에서는 출력신호(DOUT1,DOUT2)의 스윙전압의 0.5배 전압에 의해 출력단(OUT)의 상태가 결정된다. 따라서 도 1의 종래기술에 비해 노이즈 마진이 향상된다.

<47> 도 6은 도 3에 도시된 기준신호 발생기(413,513)의 상세 회로도이다.

<48> 도 6을 참조하면, 기준신호 발생기(413,513)는 출력신호(DOUT)에 따라서 출력신호(DOUT)의 하이레벨 또는 로우레벨로 변화하는 제2기준신호(VREFD)를 발생하며, 피모스 트랜지스터(61) 및 엔모스 트랜지스터(63)를 구비한다.

<49> 피모스 트랜지스터(61)는 소오스에 출력신호(DOUT)의 하이레벨이 인가되고 게이트에 출력신호(DOUT)가 인가되고 드레인으로부터 제2기준신호(VREFD)가 출력된다. 엔모스 트랜지스터(63)는 드레인에 피모스 트랜지스터(61)의 드레인이 연결되고 게이트에 출력신호(DOUT)가 인가되고 소오스에 출력신호(DOUT)의 로우레벨이 인가된다.

<50> 한편 필요에 따라 제2기준신호(VREFD)의 천이(transition)를 빠르게 하기 위해서 부스팅(boosting) 회로가 추가될 수 있다.

<51> 도 7은 도 3에 도시된 출력 드라이버(411,511)의 상세 회로도이다.

- <52> 도 7을 참조하면, 출력 드라이버(411,511)는 오픈 드레인 방식(open drain type) 출력 드라이버이며, 저항소자(71), 제1엔모스 트랜지스터(73), 및 제2엔모스 트랜지스터(75)를 구비한다.
- <53> 저항소자(71)는 전원전압(VDD)과 입출력핀(414) 사이에 연결된다. 제1엔모스 트랜지스터(73)는 드레인에 입출력핀(414)이 연결되고 게이트에 게이트 전압(VGATE)이 인가된다. 제2엔모스 트랜지스터(75)는 드레인에 제1엔모스 트랜지스터(73)의 소오스가 연결되고 게이트에 출력신호(DOUT)가 인가되고 소오스에 접지 전압(VSS)이 인가된다.
- <54> 도 8은 도 3에 도시된 본 발명에 따른 동시 양방향(SBD) 입출력 회로를 시뮬레이션한 결과이다.
- <55> 도 8에서 DOUT1은 도 3에 도시된 반도체장치(400) 내의 출력신호(DOUT1)를 나타내고 DOUT2는 반도체장치(500) 내의 출력신호(DOUT2)를 나타낸다. CHANNEL은 채널(600) 상의 신호를 나타내며 이는 반도체장치(400)에서 출력된 신호와 반도체장치(500)에서 출력된 신호가 채널(600)에서 합쳐진 상태를 보여주고 있다. 채널(600) 상의 신호(CHANNEL)는 두 반도체장치(400,500) 내의 입력 수신기(412,512)의 입력신호(DIN1,DIN2)가 된다.
- <56> VREFD는 기준신호 발생기(413,513)에서 발생하는 제2기준신호(VREFD)로서 출력신호(DOUT)에 따라서 출력신호(DOUT)의 하이레벨 또는 로우레벨로 변화된다.
- <57> DIN1-OUT는 입력 수신기(412)의 출력신호를 나타내고 DIN2-OUT는 입력 수신기(512)의 출력신호를 나타낸다. 여기에서 입력 수신기(412)에 의해 DOUT2와 거

의 동일한 신호(DIN1-OUT)가 검출됨을 알 수 있다. 또한 입력 수신기(512)에 의해 DOUT1과 거의 동일한 신호(DIN2-OUT)가 검출됨을 알 수 있다.

<58> 도 9, 도 10 및 표 1은 본 발명에 따른 입력 수신기(412,512)의 입력 마진 및 선형(linearity) 성능을 평가한 결과들이다. 도 9는 PVT(Process, Voltage, Temperature) 변화에 따른 입력 수신기(412,512)의 지연시간(tDELAY)의 변화를 나타내는 도면이고, 도 10은 입력신호(DIN)의 스윙레벨(Diff)의 변화에 따른 입력 수신기(412,512)의 지연시간(tDELAY)의 변화를 나타내는 도면이다.

<59> 도 9를 참조하면, 제1조건(process는 Typical 상태, voltage는 1.8볼트, temperature는 55°C)에서 입력 수신기(412,512)의 지연시간(tDELAY)은 약 680ps(pico second)이고 제2조건(process는 slow 상태, voltage는 1.62볼트, temperature는 110°C)에서 지연시간(tDELAY)은 약 735ps이고 제3조건(process는 fast 상태, voltage는 1.98볼트, temperature는 0°C)에서 지연시간(tDELAY)은 약 625ps이다.

<60> 도 10을 참조하면, 입력신호(DIN)의 스윙레벨(Diff)이 400mv일 때에는 지연시간(tDELAY)은 약 680ps이고 입력신호(DIN)의 스윙레벨(Diff)이 50mv일 때에는 지연시간(tDELAY)은 약 775ps이다.

<61> 【표 1】

	PVT variation			Signal margin
	TT-SS	SS-FF	FF-TT	$\Delta V(400-50mV)$
종래기술	130 ps	250 ps	120 ps	190 ps
본 발명	55 ps	110 ps	55 ps	95 ps



- <62> 표 1은 본 발명에 따른 입력 수신기(412,512)의 특성과 도 1에 도시된 종래 기술에 따른 입력 수신기(112,212)의 특성을 비교한 결과이다.
- <63> 표 1에서 TT-SS는 상기 제2조건에서의 지연시간( $t_{\text{DELAY}}$ )과 상기 제1조건에서의 지연시간( $t_{\text{DELAY}}$ ) 간의 차이를 나타내고 SS-FF는 상기 제2조건에서의 지연시간( $t_{\text{DELAY}}$ )과 상기 제3조건에서의 지연시간( $t_{\text{DELAY}}$ ) 간의 차이를 나타낸다. FF-TT는 상기 제1조건에서의 지연시간( $t_{\text{DELAY}}$ )과 상기 제3조건에서의 지연시간( $t_{\text{DELAY}}$ ) 간의 차이를 나타낸다. 표 1에서  $\Delta V$ 는 입력신호(DIN)의 스윙레벨(Diff)이 400mv일 때의 지연시간( $t_{\text{DELAY}}$ )과 입력신호(DIN)의 스윙레벨(Diff)이 50mv일 때의 지연시간( $t_{\text{DELAY}}$ ) 간의 차이를 나타낸다.
- <64> 표 1에서 볼 수 있듯이 종래기술에 따른 입력 수신기에서는 PVT 변화에 따른 지연시간( $t_{\text{DELAY}}$ )의 변화가 최대 250ps인 반면에 본 발명에 따른 입력 수신기에서는 PVT 변화에 따른 지연시간( $t_{\text{DELAY}}$ )의 변화가 최대 110ps이다. 즉 본 발명에 따른 입력 수신기가 종래의 입력 수신기에 비해 PVT 변화에 따른 지연시간( $t_{\text{DELAY}}$ )의 변화가 작음을 알 수 있다.
- <65> 또한 종래기술에 따른 입력 수신기에서는  $\Delta V$ 가 190ps인 반면에 본 발명에 따른 입력 수신기에서는  $\Delta V$ 가 95ps이다. 즉 본 발명에 따른 입력 수신기가 종래의 입력 수신기에 비해 입력신호(DIN)의 스윙레벨(Diff)의 변화에 따른 지연시간( $t_{\text{DELAY}}$ )의 변화가 작음을 알 수 있다.
- <66> 따라서 본 발명에 따른 입력 수신기가 종래의 입력 수신기에 비해 입력 노이즈 마진과 선형(linearity) 성능이 50% 정도 향상된다.

<67> 한편 상술한 바와 같이 본 발명에 따른 SBD 입출력 회로 내의 출력 드라이버(411,511)는 오픈 드레인 방식(open drain type) 출력 드라이버로 구성되므로 입력 커패시턴스가 감소된다. 따라서 종래기술에 비해 동작속도가 향상되고 채널을 통한 신호 전송능력이 향상되며 또한 채널상의 신호의 마진이 향상된다.

<68> 이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<69> 상술한 바와 같이 본 발명에 따른 동시 양방향(SBD) 입출력 회로 및 입출력 방식은 입력 수신기의 노이즈 마진을 향상시킬 수 있는 장점이 있다. 또한 출력 드라이버의 입력 커패시턴스를 줄여 동작속도를 향상시키고 채널을 통한 신호 전송능력을 향상시키며 채널상의 신호의 마진을 향상시키는 장점이 있다.

【특허청구범위】

【청구항 1】

반도체장치의 동시 양방향(Simultaneous Bi-Directional, SBD) 입출력 회로에 있어서,

상기 반도체장치 내부의 출력신호를 버퍼링하여 입출력핀을 통해 외부로 출력하는 출력 드라이버; 및

상기 출력신호의 스윙레벨(swing level)의 중간레벨로 고정되는 제1기준신호와 상기 출력신호에 따라서 상기 출력신호의 하이레벨 또는 로우레벨로 변화하는 제2기준신호를 기준으로 하여, 외부에서 상기 입출력핀을 통해 입력되는 입력신호를 판단하는 입력 수신기를 구비하는 것을 특징으로 하는 동시 양방향 입출력 회로.

【청구항 2】

제1항에 있어서, 상기 제1기준신호는 상기 반도체장치의 내부에서 발생되거나 외부에서 발생하는 것을 특징으로 하는 동시 양방향 입출력 회로.

【청구항 3】

제1항에 있어서,

상기 출력신호를 수신하여 상기 출력신호의 하이레벨 또는 로우레벨로 변화하는 상기 제2기준신호를 발생하는 기준신호 발생기를 더 구비하는 것을 특징으로 하는 동시 양방향 입출력 회로.

**【청구항 4】**

제1항에 있어서, 상기 입력 수신기는,

상기 제1기준신호와 상기 입력신호를 차동증폭하여 출력신호 및 이의 상보 출력신호를 각각 출력단 및 상보 출력단으로 출력하는 제1차동증폭부;

상기 제2기준신호와 상기 입력신호를 차동증폭하여 출력신호 및 이의 상보 출력신호를 상기 출력단 및 상기 상보 출력단으로 출력하는 제2차동증폭부; 및

상기 출력단 및 상기 상보 출력단에 연결되는 부하부를 구비하는 것을 특징으로 하는 동시 양방향 입출력 회로.

**【청구항 5】**

제1항에 있어서, 상기 출력 드라이버는 오픈 드레인 방식(open drain type) 출력 드라이버인 것을 특징으로 하는 동시 양방향 입출력 회로.

**【청구항 6】**

제1항에 있어서, 상기 출력 드라이버는,

전원전압과 상기 입출력핀 사이에 연결되는 저항소자;

드레인에 상기 입출력핀이 연결되고 게이트에 게이트 전압이 인가되는 제1 엔모스 트랜지스터; 및

드레인에 상기 제1엔모스 트랜지스터의 소오스가 연결되고 게이트에 상기 출력신호가 인가되고 소오스에 접지전압이 인가되는 제2엔모스 트랜지스터를 구비하는 것을 특징으로 하는 동시 양방향 입출력 회로.

## 【청구항 7】

제3항에 있어서, 상기 기준신호 발생기는,

소오스에 상기 출력신호의 하이레벨이 인가되고 게이트에 상기 출력신호가 인가되고 드레인으로부터 상기 제2기준신호가 출력되는 피모스 트랜지스터; 및

드레인에 상기 피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 출력신호가 인가되고 소오스에 상기 출력신호의 로우레벨이 인가되는 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 동시 양방향 입출력 회로.

## 【청구항 8】

반도체장치의 동시 양방향(Simultaneous Bi-Directional, SBD) 입출력 회로에 있어서,

상기 반도체장치 내부의 출력신호를 버퍼링하여 입출력핀을 통해 외부로 출력하는 출력 드라이버;

상기 출력신호를 수신하여 상기 출력신호의 하이레벨 또는 로우레벨로 변화하는 기준신호를 발생하는 기준신호 발생기; 및

상기 반도체장치 외부에서 상기 입출력핀을 통해 입력되는 입력신호를 수신하는 입력 수신기를 구비하고,

상기 입력 수신기는 상기 기준신호와 상기 입력신호를 비교하거나 또는 상기 출력신호의 스윙레벨(swing level)의 중간레벨을 갖는 소정의 다른 기준신호와 상기 입력신호를 비교하여 상기 입력신호의 레벨을 판단하는 것을 특징으로 하는 동시 양방향 입출력 회로.

## 【청구항 9】

제8항에 있어서, 상기 소정의 다른 기준신호는 상기 반도체장치의 내부에서 발생되거나 외부에서 발생하는 것을 특징으로 하는 동시 양방향 입출력 회로.

## 【청구항 10】

제8항에 있어서, 상기 입력 수신기는,

상기 기준신호와 상기 입력신호를 차동증폭하여 출력신호 및 이의 상보 출력신호를 각각 출력단 및 상보 출력단으로 출력하는 제1차동증폭부;

상기 다른 기준신호와 상기 입력신호를 차동증폭하여 출력신호 및 이의 상보 출력신호를 상기 출력단 및 상기 상보 출력단으로 출력하는 제2차동증폭부;  
및

상기 출력단 및 상기 상보 출력단에 연결되는 부하부를 구비하는 것을 특징으로 하는 동시 양방향 입출력 회로.

## 【청구항 11】

제8항에 있어서, 상기 출력 드라이버는 오픈 드레인 방식(open drain type) 출력 드라이버인 것을 특징으로 하는 동시 양방향 입출력 회로.

## 【청구항 12】

제8항에 있어서, 상기 출력 드라이버는,

전원전압과 상기 입출력핀 사이에 연결되는 저항소자;

드레인에 상기 입출력핀이 연결되고 게이트에 게이트 전압이 인가되는 제1 엔모스 트랜지스터; 및

드레인에 상기 제1엔모스 트랜지스터의 소오스가 연결되고 게이트에 상기 출력신호가 인가되고 소오스에 접지전압이 인가되는 제2엔모스 트랜지스터를 구비하는 것을 특징으로 하는 동시 양방향 입출력 회로.

【청구항 13】

제8항에 있어서, 상기 기준신호 발생기는,

소오스에 상기 출력신호의 하イレ벨이 인가되고 게이트에 상기 출력신호가 인가되고 드레인으로부터 상기 기준신호가 출력되는 피모스 트랜지스터; 및

드레인에 상기 피모스 트랜지스터의 드레인이 연결되고 게이트에 상기 출력신호가 인가되고 소오스에 상기 출력신호의 로우레벨이 인가되는 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 동시 양방향 입출력 회로.

【청구항 14】

입출력편을 통해 입력신호를 수신하는 반도체장치의 입력 수신기에 있어서,

제 1기준신호와 상기 입력신호를 비교하여 상기 입력신호의 레벨을 판단하는 제1비교부; 및

제2기준신호와 상기 입력신호를 비교하여 상기 입력신호의 레벨을 판단하는 제2비교부를 구비하고,

상기 제1기준신호는 상기 입출력편을 통해 출력되는 출력신호의 스윙레벨 (swing level)의 중간레벨로 고정되는 신호이고, 상기 제2기준신호는 상기 출력신호에 따라서 상기 출력신호의 하イレ벨 또는 로우레벨로 변화하는 신호인 것을 특징으로 하는 입력 수신기.

【청구항 15】

제14항에 있어서, 상기 제1비교부는,

상기 제1기준신호와 상기 입력신호를 차동증폭하여 출력신호 및 이의 상보 출력신호를 각각 출력단 및 상보 출력단으로 출력하는 제1차동증폭부를 구비하는 것을 특징으로 하는 입력 수신기.

【청구항 16】

제15항에 있어서, 상기 제2비교부는,

상기 제2기준신호와 상기 입력신호를 차동증폭하여 출력신호 및 이의 상보 출력신호를 상기 출력단 및 상기 상보 출력단으로 출력하는 제2차동증폭부를 구비하는 것을 특징으로 하는 입력 수신기.

【청구항 17】

반도체장치에 대한 동시 양방향(Simultaneous Bi-Directional, SBD) 입출력 방식에 있어서,

반도체장치 내부의 출력신호를 버퍼링하여 그 결과를 입출력핀을 통해 외부로 출력하는 단계;

상기 출력신호의 스윙레벨(swing level)의 중간레벨로 고정되는 제1기준신호를 발생하는 단계;

상기 출력신호의 하이레벨 또는 로우레벨로 변화하는 제2기준신호를 발생하는 단계;

외부에서 상기 입출력핀을 통해 입력신호를 수신하는 단계; 및



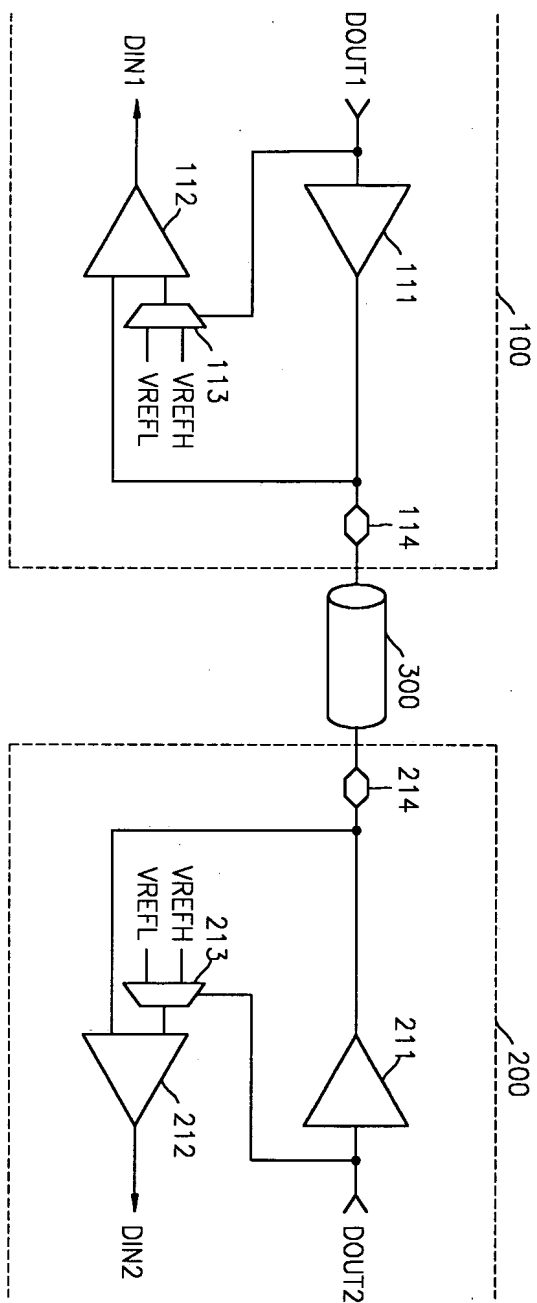
상기 제1기준신호와 상기 입력신호를 비교하거나 또는 상기 제2기준신호와  
상기 입력신호를 비교하여 상기 입력신호의 레벨을 판단하는 단계를 구비하는 것  
을 특징으로 하는 동시 양방향 입출력 방식.

【청구항 18】

제17항에 있어서, 상기 제1기준신호는 상기 반도체장치의 내부에서 발생되  
거나 외부에서 발생하는 것을 특징으로 하는 동시 양방향 입출력 방식.

## 【도면】

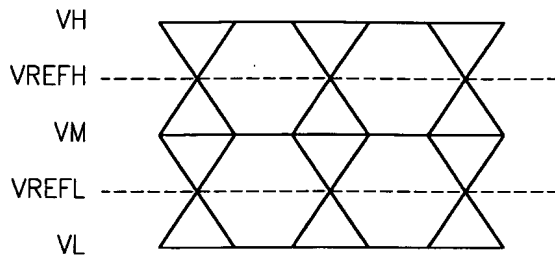
【도 1】



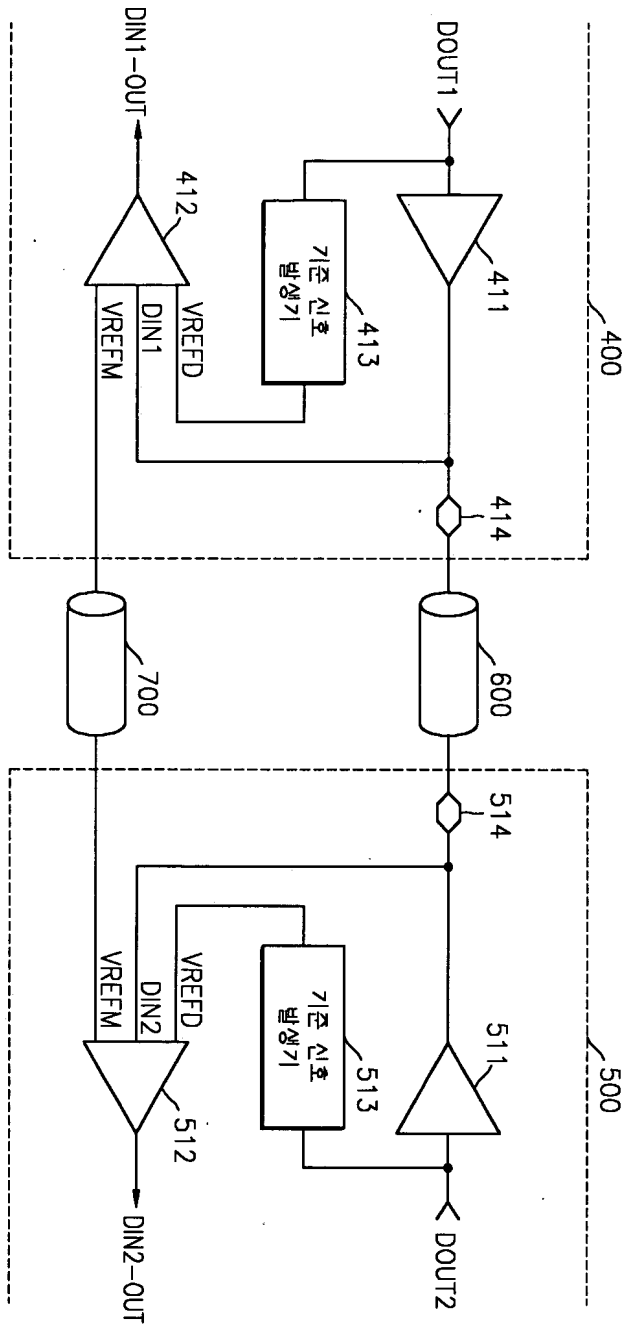
1020030025085

출력 일자: 2003/9/2

【도 2】

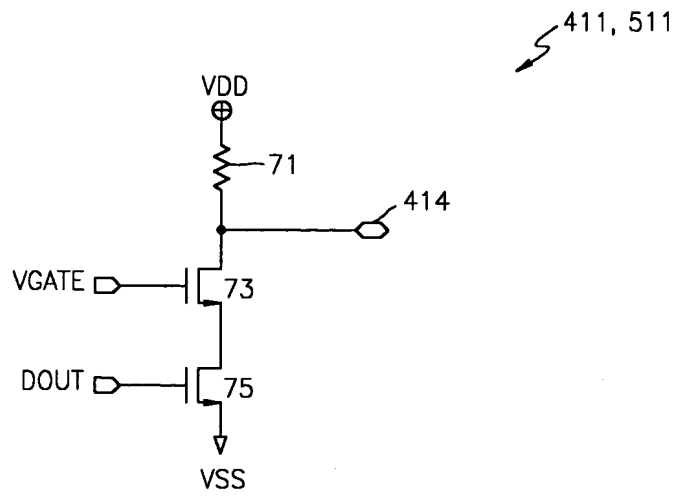


【도 3】

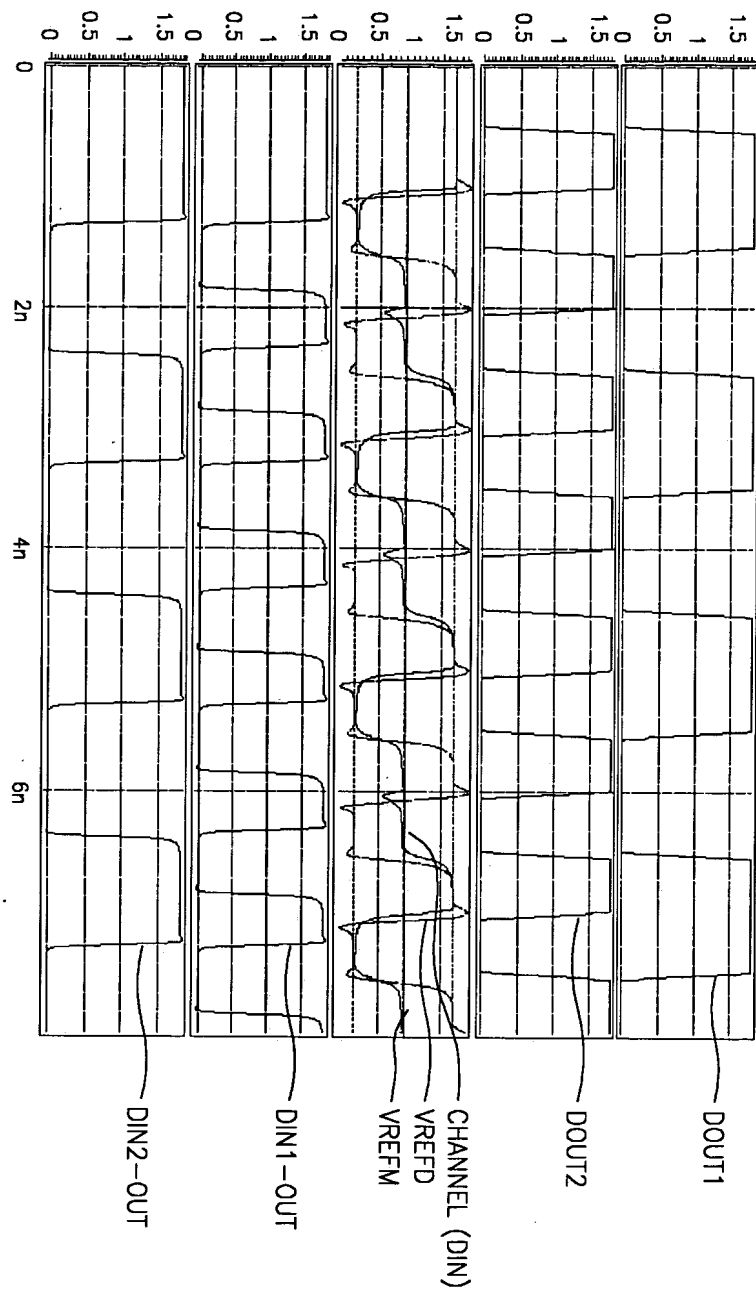




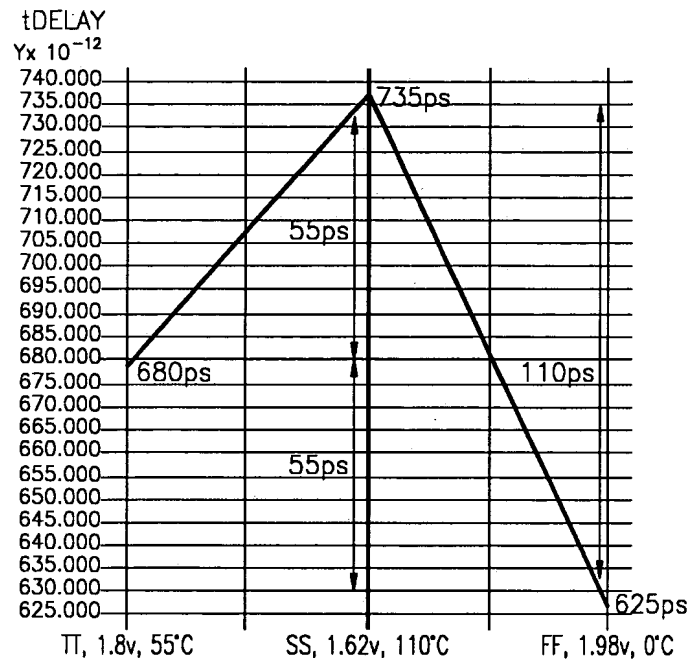
【도 7】



【도 8】



【도 9】



【도 10】

